

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213422

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H01L 21/60

(21)Application number : 07-019212

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.02.1995

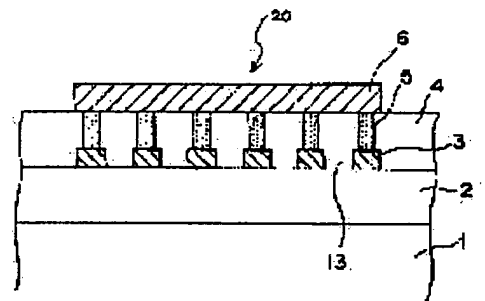
(72)Inventor : FUJIKI AKIMASA  
YAMASHITA TAKASHI

## (54) SEMICONDUCTOR DEVICE AND BONDING PAD STRUCTURE THEREOF

## (57)Abstract:

PURPOSE: To obtain a multilayer wiring structure having high reliability without crack at an interlayer insulating film at the time of wire bonding by providing a slit at a first wiring layer, filling a slit in the interlayer insulating layer, and providing a viahole.

CONSTITUTION: In a semiconductor device having a bonding pad 20 of a multilayer wiring structure which has at least first, second wiring layers 3, 6 and an interlayer insulating layer 4 having a viahole 5, the layer 3 has a wiring pattern which has a slit 13. The layer 4 is disposed at the upper side of the layer 3, and filled with slit 13, and the viahole 5 included in the layer 4 is disposed on the layer 3. Further, the layer 6 is formed on the upper side of the layer 4, electrically connected to the layer 3 via the viahole 5 and operated as a pad electrode for electrically inputting or outputting with the exterior of the device.



## LEGAL STATUS

[Date of request for examination]

18.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## CLAIMS

## [Claim(s)]

[Claim 1] It exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. In the semiconductor device which has the bonding pad of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes (1) The 1st wiring layer has the circuit pattern which has a slit portion. (2) layer insulation layers The beer hall which is located in the 1st wiring layer bottom, and is filled up with a slit portion, and is included in a layer insulation layer It is the semiconductor device characterized by acting as a pad electrode which is arranged on the 1st wiring layer, the (3) 2nd wiring layer is formed in the layer insulation layer bottom, is electrically connected with the 1st wiring layer through a beer hall, and performs electric I/O with the exterior of a semiconductor device.

[Claim 2] Beer halls are two or more breakthroughs formed in the layer insulation layer, and the configuration of each breakthrough is pillar-shaped or a semiconductor device according to claim 1 which is a long object-like.

[Claim 3] A slit portion is a semiconductor device according to claim 1 or 2 with which it fills up with the insulating component which is the rectangle breakthrough of two or more long pictures, and forms a layer insulation layer.

[Claim 4] It exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. In the semiconductor device which has the bonding pad of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes (1) The 2nd wiring layer is formed

in the layer insulation layer bottom, and perform electric I/O with the exterior of a semiconductor device. Although it acts as a pad electrode which has a bonding field, the beer hall of (2) layer insulation layers is located in the 2nd wiring layer bottom of the outside of a bonding field and the (3) 1st wiring layer has a circuit pattern to the beer hall down side The semiconductor device characterized by not having a circuit pattern into the lower part portion of a bonding field.

[Claim 5] Beer halls are two or more breakthroughs formed in the layer insulation layer, and the configuration of each breakthrough is pillar-shaped or a semiconductor device according to claim 4 which is a long object-like.

[Claim 6] The semiconductor device according to claim 4 or 5 characterized by forming a beer hall in a part for the marginal part of the 2nd wiring layer.

[Claim 7] The 2nd wiring layer is a semiconductor device given in either of four to claim 6 terms which are rectangles substantially and are characterized by forming a beer hall in the portion of the four corners of the 2nd wiring layer.

[Claim 8] It exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. In the bonding pad structure of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes (1) The 1st wiring layer has the circuit pattern which has a slit portion. (2) layer insulation layers The beer hall which is located in the 1st wiring layer bottom, and is filled up with a slit portion, and is included in a layer insulation layer It is the bonding pad structure characterized by acting as a pad electrode which is arranged on the 1st wiring layer, the (3) 2nd wiring layer is formed in the layer insulation layer bottom, is electrically connected with the 1st wiring

layer through a beer hall, and performs electric I/O with the exterior of a semiconductor device.

[Claim 9] Beer halls are two or more breakthroughs formed in the layer insulation layer, and the configuration of each breakthrough is pillar-shaped or bonding pad structure according to claim 8 which is a long object-like.

[Claim 10] A slit portion is the bonding pad structure according to claim 8 or 9 of filling up with the insulating component which is the rectangle breakthrough of two or more long pictures, and forms a layer insulation layer.

[Claim 11] It exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. In the bonding pad structure of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes (1) The 2nd wiring layer is formed in the layer insulation layer bottom, and perform electric I/O with the exterior of a semiconductor device. Although it acts as a pad electrode which has a bonding field, the beer hall of (2) layer insulation layers is located in the 2nd wiring layer bottom of the outside of a bonding field and the (3) 1st wiring layer has a circuit pattern to the beer hall down side Bonding pad structure characterized by not having a circuit pattern into the lower part portion of a bonding field.

[Claim 12] Beer halls are two or more breakthroughs formed in the layer insulation layer, and the configuration of each breakthrough is pillar-shaped or bonding pad structure according to claim 11 which is a long object-like.

[Claim 13] Bonding pad structure according to claim 11 or 12 characterized by forming a beer hall in a part for the marginal part of the 2nd wiring layer.

[Claim 14] The 2nd wiring layer is bonding

pad structure given in either of 11 to claim 13 terms which are rectangles substantially and are characterized by forming a beer hall in the portion of the four corners of the 2nd wiring layer.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the bonding pad structure of a semiconductor device and especially such a semiconductor device of having the multilayer-interconnection structure which has at least two wiring layers and changes.

[0002]

[Description of the Prior Art] With high integration and multi-functionalization of a semiconductor device, detailed-izing and the multilayering also of wiring are done, and multilayer-interconnection technology is still more important. Drawing 9 and drawing 10 are the typical cross sections showing an example of the bonding pad structure of a semiconductor device which has the conventional two-layer wiring structure, respectively.

[0003] Drawing 9 is an example of structure which piled up 1st aluminum wiring layer and 2nd aluminum wiring layer, and drawing 10 shows the structure of having only 2nd aluminum wiring layer. these drawings -- setting -- bonding pad structure -- a substrate (1), for example, a silicon substrate, the 1st layer insulation layer (2), and aluminum wiring layer [ of \*\* a 1st ] (3) ( -- it has existence), the 2nd layer insulation layer (4), a beer hall (5), 2nd aluminum wiring layer (6), and a passivation film (7) only in a view 9, and grows into it As structure of a bonding pad, if it roughly classifies, it can roughly divide into these two kinds, i.e., the structure which piled up the 1st aluminum wiring layer (3) as shown in drawing 9 , and the 2nd aluminum wiring layer (6), and the structure of having 2nd aluminum wiring

layer (6), i.e., aluminum wiring layer as the best layer, as shown in drawing 10.

[0004] If two kinds of this structure is compared, when using the structure of drawing 10, it is necessary to establish the beer hall which connects 1st aluminum wiring layer and 2nd aluminum wiring layer in portions other than bonding pad structure (not shown), and this brings about increase of chip area and serves as a disadvantageous direction for high integration. On the contrary, since the comparatively big beer hall (5) which connects 1st aluminum wiring layer (3) and 2nd aluminum wiring layer (6) can be formed in bonding pad structure when the structure of drawing 9 is taken, it is advantageous to high integration of a semiconductor device. Therefore, in a semiconductor device to which the size of a chip is especially restricted with the area of wiring, structure like drawing 9 is adopted in many cases.

[0005] Hereafter, the structure of drawing 9 is explained in detail. In addition, about the element which has the same function, the same quotation number is used also in a different explanation part and a different drawing through this specification and the drawing in principle. The inclination which makes small the pitch of a circuit pattern in recent years is remarkable, and, generally the structure filled up with the tungsten plug is used in connection with it as structure of a beer hall (it exists in addition to a bonding pad) of connecting a wiring layer. Drawing 11 shows typically the general bonding pad structure formed when the semiconductor device which fills up the beer hall of portions other than a bonding pad with a tungsten plug is manufactured with the cross section.

[0006] In drawing 11, a part of tungsten plug (8) without having remained without being removed by etching is shown. in the illustrated mode, generally the size (length [ of drawing 11 ] w) of 1st aluminum wiring layer (3) and 2nd aluminum wiring layer

(6) is about 100 micrometers, therefore the size (width of face) of opening of a beer hall also comes out of it to that extent Next, the manufacture method of the bonding pad structure of drawing 11 is explained with reference to drawing 12 - drawing 15.

[0007] First, as shown in drawing 12, the 1st layer insulation layer (2) is formed by CVD on a silicon substrate (1). On this 1st layer insulation layer (2), 1st aluminum wiring layer (3) is formed by forming aluminum film and carrying out patterning of this aluminum film by the sputtering method etc. The 2nd layer insulation layer (4) is formed in this 1st whole aluminum wiring layer (3) upper surface combining a plasma CVD method, the rotation applying method (SOG), the etchback method by dry etching, etc. Then, if apply a resist on the 2nd layer insulation layer (4), perform patterning by the photolithography, and a beer hall pattern is formed, the 2nd layer insulation layer (4) is \*\*\*\*\*ed using RIE (reactive ionetching) by using a resist as a mask, opening is formed and a resist is removed with oxygen plasma etc. after that, a beer hall (5) will be formed (state of drawing 11).

[0008] Next, as shown in drawing 13, it is called the titanium-nitride film (9) (less or equal as a layer which sticks a tungsten film in the 1st layer insulation layer (2), and a "TiN film".) is formed all over exposed 2nd layer insulation layer [ which specifies a beer hall (5) by the spatter etc. ] (4), and 1st aluminum wiring layer top. Then, about 5000 - 1000A (8) of tungsten films is formed all over the TiN film (9) upper by CVD, and it considers as the state of drawing 13. Then, etchback of the tungsten film (8) is carried out using the etchback method by dry etching. At this time, it is necessary to carry out etchback so that a tungsten film (8) may not remain in any portions other than a beer hall. In this case, there is the method (the "Stop on Oxide method" is called.) of carrying out etchback continuously, without leaving

with the method (the "Stop on TiN method" being called.) of leaving a TiN film (9).

[0009] Drawing 14 shows the case of the "Stop on TiN method." If etchback of the tungsten film is carried out by the "Stop on TiN method", when latus opening exists like the beer hall (5) in the bonding pad section, a tungsten film (8) remains in both the sides (or periphery) of the opening in the shape of a sidewall, and an opening center section will be in the state where a tungsten film does not exist.

[0010] Then, as shown in drawing 15, aluminum film is formed the whole surface on a TiN film (9) and a tungsten film (8) by the spatter, and the pattern of 2nd aluminum wiring layer (6) is formed by the photolithography and RIE. And all over the layer insulation film (4) upper [ 2nd aluminum wiring layer (6) and 2nd ], by the plasma CVD method, the silicon nitride (silicon nitride film) used as a passivation film (7) is formed, and opening only of the bonding pad section (20) top is carried out by the photolithography and dry etching (state of drawing 15).

[0011] As mentioned above, although a tungsten film (8) exists in the shape of a sidewall over a latus side or a boundary region when etchback of a tungsten film is performed by the "Stop on TiN method", this brings about raising dust, and this tungsten film (8) becomes the poor cause of the semiconductor device of short-circuiting wiring, imitates [ it is easy to separate, and ] the fall of the yield, and, for a \*\* reason, is not desirable.

[0012] Moreover, in the case of the "Stop on Oxide method", although etchback of the TiN film (9) will be carried out following a tungsten film (8) as shown in drawing 16, in case this TiN film is \*\*\*\*\*ed, this will also \*\*\*\*\* the aluminum which is a wiring layer (3), using chlorine (Cl<sub>2</sub>) system gas in many cases. Therefore, in order to form the bonding pad structure of multilayer-interconnection structure, when the "Stop on Oxide method" is used, in the

center of opening (11) of a latus beer hall (5), it will \*\*\*\*\* , 1st layer aluminum wiring (3) of a ground will be discolored in black, and recognition of a pattern will become impossible, and it will have a bad influence also on wiring reliability.

[0013] The bonding pad of the structure shown in drawing 17 and drawing 18 as bonding pad structure which solves such a trouble is developed (specifically for example, refer to JP,5-343466,A and U.S. Pat. No. 5,149,674). Drawing 17 is the typical plan of the layout pattern of a bonding pad portion (20), and drawing 18 is a typical cross section in alignment with line E-E' of drawing 17.

[0014] In the mode of drawing 17 and drawing 18, one big beer hall is divided into two or more small beer halls (5') instead of using a big beer hall (5) as shown in a view 12. The size (in the mode shown in drawing 17, it is one side [ of a square ] v) of each small beer hall at this time (5') A tungsten film is not lost in opening of a beer hall (5') by removal by the etchback of the tungsten film on the insulating layer explained previously. (That is, the wiring layer which exists under a tungsten film is not exposed) It is the size which is a grade and, generally is a size below the double precision of the deposition thickness (thickness of the adhering film) of a tungsten film. By taking such structure, the structure which aluminum film or the TiN film of normal tungsten plug structure, i.e., a ground, does not expose in the bonding pad section is formed, and the peeling trouble of the above tungsten films is not produced.

[0015] However, a new problem will occur by using the structure of drawing 17 and drawing 18. This is explained with reference to drawing 19. Although the packaging of the semiconductor device is finally carried out to a ceramic or a plastic package, it is required at this time to connect the leadframe of a package with the bonding pad section (20) with a wire

(10). Usually, although aluminum or gold is used, in case this connection (wire bonding) is made, the trouble that a crack (12) arises in the 2nd layer insulation layer (4) of the bonding pad section (20) newly happens to this wire (10).

[0016] This is considered that the ultrasonic wave added in the case of wire bonding in order to stick the 2nd aluminum wiring layer (6) and wire (10) is the cause. Namely, although aluminum frail in material therefore 1st aluminum wiring layer (3), and 2nd aluminum wiring layer (6) tend to cause deformation by vibration of an ultrasonic wave and it is going to ease the stress by the ultrasonic wave Since the 2nd layer insulation layer (4) inserted into it is stiff material comparatively, it cannot cause deformation, but if the above stress is added to some extent, it will fracture it, and a crack (12) produces it.

[0017] Since the adhesion of a wire (10) and 2nd aluminum wiring layer (6) is a \*\*\*\* thing at the reliability of a semiconductor device, although an ultrasonic wave needs to secure sufficient adhesion in addition above to some extent, it is very difficult to maintain adhesion, without generating a crack, in adopting the structure of drawing 17 and drawing 18. When such a crack occurs, moisture will advance through KURATSU and the big problem about the reliability of a device that such moisture affects the performance of a semiconductor device will be brought about.

[0018] In addition, in the case of the structure which forms a bonding pad only by 2nd aluminum wiring layer (best aluminum wiring layer), a crack does not arise like drawing 10. Although it is not restrained by any theory, since 1st aluminum wiring layer does not exist in the lower part of 2nd aluminum wiring layer, it is considered to be because for the force by deformation of a wiring layer not to be added, and to be because for 2nd comparatively large aluminum wiring layer to be able to ease the stress of an

ultrasonic wave in the lower part of a layer insulation layer.

[0019]

[Problem(s) to be Solved by the Invention] this invention was made in order to solve the above troubles, and even if it is the case where wire bonding especially using an ultrasonic wave is applied, it makes it a technical problem to offer the semiconductor device which has the reliable multilayer-interconnection structure where the above cracks are not generated.

[0020]

[Means for Solving the Problem] In the 1st summary, this invention exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. In the semiconductor device which has the bonding pad of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes (1) The 1st wiring layer has the circuit pattern which has a slit portion. (2) layer insulation layers The beer hall which is located in the 1st wiring layer bottom, and is filled up with a slit portion, and is included in a layer insulation layer Arranged on the 1st wiring layer, it is formed in the layer insulation layer bottom, and connects with the 1st wiring layer electrically through a beer hall, and the (3) 2nd wiring layer offers the semiconductor device characterized by acting as a pad electrode which performs electric I/O with the exterior of a semiconductor device.

[0021] In the semiconductor device of this invention, a wiring layer usually means the film-like wiring used for wiring of a semiconductor device. Moreover, it means that penetration opening and/or a notching portion exist partially that a wiring layer has a slit portion in a field-like wiring layer, and especially the configuration of the opening (or notching portion) is not limited.

As for this slit portion, it fills up with the insulating component of a layer insulation layer. Furthermore, a beer hall is penetration space (or hole) which penetrates a layer insulation layer, is formed and connects the 1st wiring layer and 2nd wiring layer, the space is filled up with a lead-wire nature component, and the 1st wiring layer and 2nd wiring layer are connected electrically. The configuration of a beer hall may not be limited by especially the name "a hole (hole)", and may be which configuration.

[0022] if it requires in the semiconductor device of this invention -- the 1st wiring layer -- caudad, the wiring layer of the addition beyond 1 or it may exist through an insulating layer, and connection of these wiring layers and the connection between the 1st wiring layer and the wiring layer under it may be connected by the usual beer hall In the semiconductor device of the 1st summary, by preparing a slit portion in the 1st wiring layer, the amount of material used for the 1st wiring layer decreases, therefore the area of the 1st wiring layer becomes small. Practically, in a bonding pad portion, the gross area of the 2nd wiring layer is about 50 - 90% preferably about 90% or less, and the gross area of the 1st wiring layer arranges such a slit portion to the 1st wiring layer equally in the possible range. thus, if it carries out, the deformation of the 1st wiring layer by the stress applied in the case of wire bonding will become small, and deformation will be more equally distributed in the 1st wiring layer, and a crack will occur in a layer insulation layer -- suppression -- it is prevented preferably

[0023] In the 1st summary in the desirable mode of this invention, especially a beer hall -- two or more -- existing -- a thing (the shape of for example, a cylinder --) with those pillar-shaped configurations You may be the thing or the long object (or thing in the state where \*\*\*\*\* , i.e., the pillar-shaped object which stands, was put

to sleep) of a prismatic. in a desirable mode, especially A beer hall is the thing of the shape of the shape of a cylinder which separated the interval regularly, and has been left and arranged (therefore equally in the possible range), a multiple column, especially (positive) the square pole. thus, normal beer hall structure can be maintained by considering as two or more beer halls, without being able to form more easily the beer hall of opening smaller than the beer hall currently used with the bonding pad structure of the semiconductor device of the conventional technology, consequently packing which is a beer hall being removed by etching Moreover, by considering as the beer hall of the above configurations, a beer hall can be equally arranged on the 1st wiring layer, it becomes still easier [ the formation ], and suppression and the manufacture of the semiconductor device prevented preferably of a crack occurring in a layer insulation layer are attained much more.

[0024] Especially, in another desirable mode of this invention, it sets to the 1st summary, and slit portions are two or more rectangles, especially a long rectangle breakthrough (or space), and preferably, these separate an interval regularly and are arranged. When the 1st wiring layer has such a slit portion, a beer hall can be equally arranged to the 2nd wiring layer down side, and manufacture of a semiconductor device becomes easy.

[0025] In the 2nd summary, this invention exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. In the semiconductor device which has the bonding pad of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes (1) The 2nd wiring layer is formed in the layer insulation layer bottom, and perform electric I/O with the exterior of a

semiconductor device. Although it acts as a pad electrode which has a bonding field, the beer hall of (2) layer insulation layers is located in the 2nd wiring layer bottom of the outside of a bonding field and the (3) 1st wiring layer has a circuit pattern to the beer hall down side. The lower part portion of a bonding field is provided with the semiconductor device characterized by not having a circuit pattern.

[0026] In this invention, in case a bonding field carries out wire bonding of the leadframe to a bonding pad with a wire, it means one field of the 2nd wiring layer which a wire contacts the 2nd wiring layer and combines with it. This field is usually a circular field of the center section of the 2nd wiring layer of the bonding pad section. Therefore, in the semiconductor device of the 2nd summary, the circuit pattern of the 1st wiring layer will not exist down the bonding field, but the 1st wiring layer will exist only under the 2nd wiring layer of the lateral part around a bonding field. This state is substantially [ as the structure where the 1st wiring layer does not exist under the 2nd wiring layer which was previously explained with reference to drawing 10 and which a crack does not produce ] the same, therefore generating of the crack in a layer insulation layer is suppressed also in the semiconductor device of the 2nd summary of this invention, and a crack is not produced preferably.

[0027] In the desirable mode of the 2nd summary, beer halls are two or more pillar-shaped objects or long objects with which it filled up with the conductive component like the case of the 1st summary. By using such a beer hall, the manufacture of the semiconductor device prevented preferably which becomes easy [ the formation ] and by which the normal structure of a beer hall can be secured, and a beer hall can be equally arranged on the 1st wiring layer, and generating of the crack in a layer insulation layer is

suppressed becomes easy.

[0028] A beer hall is formed in the 2nd wiring layer (part for therefore, marginal part of 2nd wiring layer) bottom of the outside around a bonding field in another desirable mode of the 2nd summary. Since it does not function as a bonding field, the field of the periphery of the 2nd wiring layer, i.e., the outside of a bonding field, is securable by doing in this way so that the 1st wiring layer may not be formed in the bonding field bottom. Beer hall formation is carried out in the four corners of the 2nd wiring layer which the 2nd wiring layer is a rectangle substantially and is the inside of the 2nd wiring layer, and the outside of a bonding field in another desirable mode further of the 2nd summary. Thus, by forming a beer hall in the four corners of the 2nd wiring layer, it is the field of the 2nd wiring layer, and though the field which does not participate in bonding substantially is used effectively, it is securable that the 1st wiring layer does not exist down the bonding field. In addition, it is also possible to establish a beer hall in a four-corners + marginal part combining the mode which forms a beer hall in a part for the marginal part of the 2nd previous wiring layer for this mode.

[0029] Furthermore, in the 3rd summary, this invention exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. It is the bonding pad structure of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes. (1) The 1st wiring layer has the circuit pattern which has a slit portion. (2) layer insulation layers The beer hall which is located in the 1st wiring layer bottom, and is filled up with a slit portion, and is included in a layer insulation layer. It is arranged on the 1st wiring layer. the (3) 2nd wiring layer It is formed in the layer insulation layer



bottom, and connects with the 1st wiring layer electrically through a beer hall, and the bonding pad structure characterized by acting as a pad electrode which performs electric I/O with the exterior of a semiconductor device is offered.

[0030] In the especially desirable mode of the 3rd summary, beer halls are two or more breakthroughs formed in the layer insulation layer, and have the shape of that the configuration of each breakthrough is pillar-shaped, or a long object. It fills up with the insulating component which a slit portion is the rectangle breakthrough of two or more long pictures, and forms a layer insulation layer in another, especially desirable mode of the 3rd summary.

[0031] In the 4th summary, this invention exists in the 1st and 2nd wiring layers and a row among these wiring layers at least. It is the bonding pad structure of the multilayer-interconnection structure which has the layer insulation layer which has at least one beer hall where it filled up with the conductive component in order to connect these wiring layers electrically, and changes. (1) The 2nd wiring layer is formed in the layer insulation layer bottom, and perform electric I/O with the exterior of a semiconductor device. Although it acts as a pad electrode which has a bonding field, the beer hall of (2) layer insulation layers is located in the 2nd wiring layer bottom of the outside of a bonding field and the (3) 1st wiring layer has a circuit pattern to the beer hall down side The lower part portion of a bonding field is provided with the bonding pad structure characterized by not having a circuit pattern.

[0032] In the desirable mode of the 4th summary, beer halls are two or more breakthroughs formed in the layer insulation layer, and have the shape of that the configuration of each breakthrough is pillar-shaped, or a long object. A beer hall is formed in a part for the marginal part of the 2nd wiring layer in another desirable mode of the 4th summary. In the 4th

summary and also another desirable mode, the 2nd wiring layer is a rectangle substantially and forms a beer hall in the portion of the four corners of the 2nd wiring layer. The bonding pad structure of these 3rd summary and the 4th summary is the structure where it is used for the semiconductor device of the 1st summary and the 2nd summary, and has the above features explained in relation to these equipments, respectively.

[0033]

[Function] In the 1st wiring layer, in the 1st of this invention, and the 3rd summary, the volume of a wiring material like aluminum used, therefore the area of a wiring layer become small substantially from the 2nd wiring layer. consequently, generating of a crack [ in / a layer insulation layer / deformation of the 1st wiring layer when stress is added can be made small, and ] -- suppression -- it is prevented preferably moreover, generating of the crack in [ become the bonding pad structure of the 1st wiring layer stopping existing substantially down the bonding field consequently, and having only the wiring layer of one layer in the 2nd of this invention, and the 4th summary, and equivalent structure, and / in this case ] a layer insulation layer -- suppression -- it is prevented preferably

[0034]

[Example] Hereafter, with reference to an accompanying drawing, this invention is explained more to a detail with reference to the semiconductor device of this invention, especially the example of the bonding pad structure. In addition, the solid line and dashed line which are used in a drawing are used in order to make structure of the semiconductor device of this invention easier to understand, and these are not for distinguishing the element which appears directly from an outside, and the element which does not appear directly.

[0035] [Example 1] The 1st example of this invention is shown in drawing 1 and

drawing 2 . Drawing 1 is the typical layout pattern (plan) of the bonding pad section (20) of the 1st example of the semiconductor device of this invention, and drawing 2 shows typically the cross section in alignment with A-A' of drawing 1 . The point that make it the shape of a stripe which put in the slit portion (13) which is a long rectangle breakthrough about the pattern of 1st aluminum wiring layer (3), and the beer hall of two or more cross-section rectangles is regularly arranged on this wiring layer is the feature of an example 1 so that clearly from drawing 1 and drawing 2 . It is substantially [ as the mode which showed the mode of an example 1 to drawing 17 about the other point ] the same.

[0036] By using as a stripe-like pattern, the 1st aluminum wiring layer (3), i.e., lower layer aluminum circuit pattern, the amount of the aluminum used as 1st aluminum wiring layer (3) decreases (since a wiring layer does not exist in a slit portion (13)), therefore wiring area becomes small. In the mode of drawing 1 , the area of the 1st wiring layer is about 70% of the area of the 2nd wiring layer. Consequently, as shown in drawing 3 , in case a bonding pad is finally formed and wire bonding is carried out, the deformation of aluminum film by the stress of the 1st wiring layer becomes small. therefore, like the bonding pad structure of the conventional technology . shown in drawing 19 , about deformation of the aluminum by the ultrasonic wave at the time of being wire bonding, the deformation which is aluminum wiring layer which exists downward at least can be stopped small, and, unlike the case where the deformation of aluminum wiring layer of up-and-down both sides is large, a crack does not arise in the 2nd layer insulation layer (4) Therefore, with the structure of the bonding pad of an example 1, a crack is not produced but bonding pad structure with the sufficient adhesion of a

wire (10) and 2nd aluminum wiring layer (6) is realized.

[0037] [Example 2] The 2nd example of this invention is shown in drawing 4 and drawing 5 . Drawing 4 is the typical layout pattern (plan) of the bonding pad section (20) of the 2nd example of the semiconductor device of this invention, and drawing 5 shows typically the cross section in alignment with line B-B' of drawing 4 . The periphery of the bonding pad section (20) accepts the pattern of 1st aluminum wiring layer (3) caudad, and it is prepared so that clearly from drawing 4 and drawing 5 . It considers as the edge-like wiring layer of the rectangle which has predetermined width of face. The bonding field of the inside It considers as hollow, without preparing 1st aluminum wiring layer under ((14), the part for i.e., the bonding pad center section in which a wire (10) contains the 2nd wiring layer (the field which will contact 6)), (therefore). Moreover the 1st wiring layer has big penetration opening equivalent to (14), the point of making it prepare the pattern of a beer hall (5) only in a part for the periphery of the bonding pad section on the pattern of 1st aluminum wiring layer (3) is the feature of an example 2. It is substantially [ as the mode which showed the mode of an example 2 to drawing 1 about the other point ] the same.

[0038] In this 2nd example, the 1st wiring layer (3), a beer hall (5) (wiring layer which has the predetermined width of face which constitutes a rectangular edge), i.e., a rectangular edge-like wiring layer, and the beer hall on it are located outside a bonding field. In addition, the width of face a (refer to drawing 5 ) of 1st aluminum wiring layer (3) of the shape of a rectangular edge may be several micrometers - 10 micrometers. Moreover, the width of face of the slot of the beer hall pattern on it may be smaller than equivalent to the width of face of this wiring layer, or it. Usually, this width of face may be equivalent to the width of face

of the beer hall which connects the wiring layer of the semiconductor device currently formed in addition to the bonding pad section, and may be the size which can form a tungsten plug normally, for example, 0.3-1.5 micrometers. Moreover, in the illustrated mode, although a beer hall is a slot-like (the shape of therefore, a long object), a beer hall separates an interval and the pillar-shaped object (beer hall of the mode of drawing 1) may be arranged.

[0039] Since aluminum wiring layer does not exist under the bonding field of the 2nd wiring layer (6) in case wire bonding is carried out to the final bonding pad section shown in drawing 6, when making it structure like drawing 4, the 2nd layer insulation layer (4) does not serve as structure inserted into aluminum wiring layer. That is, it becomes being the same as that of the case of the view 10 which formed the bonding pad by 2nd aluminum wiring layer (6) substantially, and a crack is not produced. Moreover, since the beer hall (5) is made into the shape of a slot (that is, it has long rectangle opening), the area of the beer hall which connects 1st aluminum wiring layer (3) and 2nd aluminum wiring layer (6), therefore the width of face of a beer hall can be stopped small, and the normal structure of a beer hall can be easily secured from the case where a beer hall (5) is formed by the shape of a hole which has large opening like drawing 9.

[0040] Thus, also in this example, a crack is not produced but bonding pad structure with the sufficient adhesion of a wire (10) and 2nd aluminum wiring layer (6) is acquired. In addition, naturally in this example, you may arrange two or more pillar-shaped beer halls at a regular interval instead of a slot-like beer hall (5).

[0041] [Example 3] The 3rd example of this invention is shown in drawing 7 and drawing 8. Drawing 7 is the typical layout pattern (plan) of the bonding pad section of the 3rd example of the semiconductor

device of this invention, and drawing 8 shows typically the cross section in alignment with line C-C' of drawing 7. The 2nd wiring layer is a rectangle and the point which makes the pattern of the 1st aluminum wiring layer (3) the hollow which does not exist in the lower part portion of a bonding field, and is made into the structure which brought the beer hall (5) together in the circumference four corners of the bonding pad section (20) on it is the feature of an example 3 so that clearly from drawing 7 and drawing 8. In addition, in other examples, although the configuration of the 2nd wiring layer is a rectangle in the illustrated mode, it does not necessarily need to be a rectangle. It is substantially [ as the mode which showed the mode of an example 3 to drawing 4 about the other point ] the same. In addition, in the illustrated mode, although it is especially a square pole-like beer hall, a beer hall can also be constituted [ a column and ] from two or more long objects (the state where the pillar was laid down) like drawing 4.

[0042] The field of the bonding pad section (20) which involves effective in bonding in the wire-bonding case is a portion in the portion (refer to drawing 7) of Circle D, when the position precision of wire bonding is taken into consideration. Although this portion is considered that Circle D includes a bonding field strictly (therefore, a bonding field exists inside Circle D), it is satisfactory even if it thinks substantially that the field inside Circle D is equivalent to a bonding field. Therefore, the pattern of a beer hall (5) is made into Lycium chinense on the outside of the field of Circle D, 1st aluminum wiring layer (3) will be further formed only down the beer hall (5), and 1st aluminum wiring layer (3) serves as structure not existing in the lower part of a bonding field at the 2nd layer insulation layer (4) bottom. That is, it does not become the structure where the 2nd layer insulation layer (4) was pinched by

aluminum wiring layer, therefore a crack does not arise in a layer insulation layer like the case of an example 2.

[0043] Moreover, in the example 3, since the field of the four corners which are substantially unrelated about wire bonding is made into the field in which a beer hall is established, the area of a bonding pad will be used effectively. Thus, also in this example, a crack is not produced but bonding pad structure with the sufficient adhesion of a wire (10) and 2nd aluminum wiring layer (6) is acquired. In addition, in explanation and the examples 1-3 of an above-mentioned this invention, although the case where the number of aluminum wiring layers was two-layer was made into the example and explained, of course, a wiring layer can apply the structure of this invention also about the multilayer semiconductor device of three or more layers only by such case.

[0044] moreover, this invention can choose the configuration, a size, etc. as the material row used for the layer insulation layer which the main feature is in the bonding pad structure of a semiconductor device itself, therefore contains each element, for example, the substrate, the wiring layer, the conductive component, and the insulating component of a semiconductor device of this invention easily according to the purpose which is predetermined [ of a semiconductor device ] based on Governor Shu term in the field concerned Similarly, the formation method of each element can also be easily enforced with the technology of common knowledge of the field concerned. for example, in explanation and the examples 1-3 of an above-mentioned this invention, although the case where the multilayer interconnection of an aluminum wiring layer was performed was explained, it is in part -- it is -- in all wiring layers, wiring materials may be refractory metals, such as a tungsten (W), titanium (Ti), and molybdenum (Mo) Moreover, even if it is

the multilayer interconnection laminated combining tungsten silicide (WSi<sub>2</sub>) wiring, titanium silicide (TiSi<sub>2</sub>) wiring, molybdenum silicide (MoSi<sub>2</sub>) wiring, polycrystal silicon wiring, or these, of course, the same operation effect is done so. [0045]

[Effect of the Invention] By devising the layout of the pattern of the beer hall located the pattern of the 1st wiring layer, and on it according to this invention The amount of the material of the 1st wiring layer can be lessened. Or since [ of a bonding field ] the 1st wiring layer can be prevented from existing caudad, a crack does not arise in a layer insulation layer but bonding pad structure with the sufficient adhesion of a wire and the 2nd wiring layer is acquired, A reliable semiconductor device can be offered.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the typical layout pattern (plan) of the bonding pad section of the semiconductor device of an example 1.

[Drawing 2] It is a typical cross section in alignment with line A-A' of drawing 1.

[Drawing 3] It is the same typical cross section as drawing 2 which shows the situation of wire bonding in the example of drawing 1.

[Drawing 4] It is the typical layout pattern (plan) of the bonding pad section of the semiconductor device of an example 2.

[Drawing 5] It is a typical cross section in alignment with line B-B' of drawing 4.

[Drawing 6] It is the same typical cross section as drawing 5 which shows the situation of wire bonding in the example of drawing 4.

[Drawing 7] It is the typical layout pattern (plan) of the bonding pad section of the semiconductor device of an example 3.

[Drawing 8] It is a typical cross section in alignment with line C-C' of drawing 7.

[Drawing 9] It is the typical cross section

showing the bonding pad structure of the conventional semiconductor device.

[Drawing 10] It is the typical cross section showing the bonding pad structure of the conventional semiconductor device.

[Drawing 11] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 12] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 13] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 14] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 15] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 16] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 17] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 18] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Drawing 19] It is a typical cross section for explaining the trouble of the bonding pad structure of the conventional semiconductor device.

[Description of Notations]

3 The 1st wiring layer, 4 The 2nd layer insulation layer, 5 A beer hall, 6 The 2nd wiring layer, 13 A slit portion, 20 Bonding pad.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213422

(43) 公開日 平成 8 年 (1996) 8 月 20 日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

3 0 1 P

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 14 O L (全 11 頁)

(21) 出願番号 特願平7-19212

(22) 出願日 平成 7 年 (1995) 2 月 7 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 藤木 謙昌

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機

株式会社北伊丹製作所内

(72) 発明者 山下 貴司

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機

株式会社北伊丹製作所内

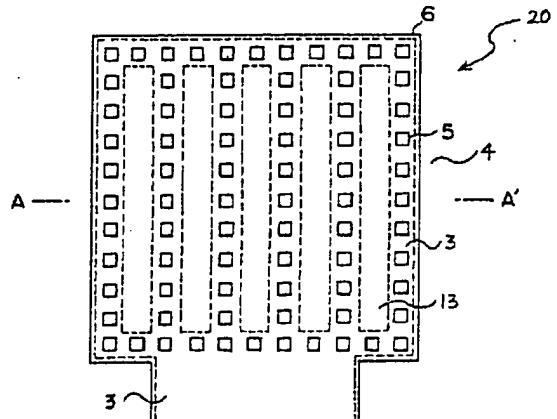
(74) 代理人 弁理士 高田 守 (外 4 名)

(54) 【発明の名称】 半導体装置およびそのボンディングパッド構造

(57) 【要約】

【目的】 第 1 の配線層およびその上方に位置してパッド電極として作用する第 2 の配線層ならびにその間を電氣的に接続する導電性要素を有する層間絶縁層を有するボンディングパッド構造を有する半導体装置において、ワイヤーボンディングの際に層間絶縁層にクラックが入らない構造を提供する。

【構成】 第 1 の配線層の面積を第 2 の配線層の面積より小さくするか、あるいは第 1 の配線層を第 2 の配線層のボンディング領域の外側の下方に形成する。



## 【特許請求の範囲】

【請求項1】 少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッドを有する半導体装置において、

(1) 第1の配線層は、スリット部分を有する配線パターンを有し、

(2) 層間絶縁層は、第1の配線層の上側に位置し、また、スリット部分を充填し、層間絶縁層に含まれるビアホールは、第1の配線層上に配置され、

(3) 第2の配線層は、層間絶縁層の上側に形成されて、ビアホールを介して第1の配線層と電気的に接続され、半導体装置の外部との電気的な入出力を行うパッド電極として作用することを特徴とする半導体装置。

【請求項2】 ビアホールは、層間絶縁層に形成された複数の貫通孔であり、それぞれの貫通孔の形状は、柱状または長尺物状である請求項1記載の半導体装置。

【請求項3】 スリット部分は、複数の長尺の矩形貫通孔であり、層間絶縁層を形成する絶縁性成分が充填されている請求項1または2記載の半導体装置。

【請求項4】 少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッドを有する半導体装置において、

(1) 第2の配線層は、層間絶縁層の上側に形成されて半導体装置の外部との電気的な入出力を行う、ボンディング領域を有するパッド電極として作用し、

(2) 層間絶縁層のビアホールは、ボンディング領域の外側の第2の配線層の下側に位置し、

(3) 第1の配線層は、ビアホールの下側に配線パターンを有するが、ボンディング領域の下方部分には配線パターンを有さないことを特徴とする半導体装置。

【請求項5】 ビアホールは、層間絶縁層に形成された複数の貫通孔であり、それぞれの貫通孔の形状は、柱状または長尺物状である請求項4記載の半導体装置。

【請求項6】 ビアホールを第2の配線層の縁部分に形成したことを特徴とする請求項4または5記載の半導体装置。

【請求項7】 第2の配線層は実質的に矩形であり、ビアホールを第2の配線層の四隅の部分に形成したことを特徴とする請求項4～6項のいずれかに記載の半導体装置。

【請求項8】 少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成

る多層配線構造のボンディングパッド構造において、

(1) 第1の配線層は、スリット部分を有する配線パターンを有し、

(2) 層間絶縁層は、第1の配線層の上側に位置し、また、スリット部分を充填し、層間絶縁層に含まれるビアホールは、第1の配線層上に配置され、

(3) 第2の配線層は、層間絶縁層の上側に形成されて、ビアホールを介して第1の配線層と電気的に接続され、半導体装置の外部との電気的な入出力を行うパッド電極として作用することを特徴とするボンディングパッド構造。

【請求項9】 ビアホールは、層間絶縁層に形成された複数の貫通孔であり、それぞれの貫通孔の形状は、柱状または長尺物状である請求項8記載のボンディングパッド構造。

【請求項10】 スリット部分は、複数の長尺の矩形貫通孔であり、層間絶縁層を形成する絶縁性成分が充填されている請求項8または9記載のボンディングパッド構造。

【請求項11】 少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッド構造において、

(1) 第2の配線層は、層間絶縁層の上側に形成されて半導体装置の外部との電気的な入出力を行う、ボンディング領域を有するパッド電極として作用し、

(2) 層間絶縁層のビアホールは、ボンディング領域の外側の第2の配線層の下側に位置し、

(3) 第1の配線層は、ビアホールの下側に配線パターンを有するが、ボンディング領域の下方部分には配線パターンを有さないことを特徴とするボンディングパッド構造。

【請求項12】 ビアホールは、層間絶縁層に形成された複数の貫通孔であり、それぞれの貫通孔の形状は、柱状または長尺物状である請求項11記載のボンディングパッド構造。

【請求項13】 ビアホールを第2の配線層の縁部分に形成したことを特徴とする請求項11または12記載のボンディングパッド構造。

【請求項14】 第2の配線層は実質的に矩形であり、ビアホールを第2の配線層の四隅の部分に形成したことを特徴とする請求項11～13項のいずれかに記載のボンディングパッド構造。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、少なくとも2つの配線層を有して成る多層配線構造を有する半導体装置、特にそのような半導体装置のボンディングパッド構造に関する。

## 【0002】

【従来の技術】半導体デバイスの高集積化・多機能化に伴い配線も微細化・多層化されてきており、多層配線技術はますます重要なものとなっている。図9および図10は、それぞれ従来の2層配線構造を有する半導体装置のボンディングパッド構造の一例を示す模式的断面図である。

【0003】図9は、第1のA1配線層および第2のA1配線層を重ねた構造の一例であり、図10は、第2のA1配線層のみを有する構造を示している。これらの図において、ボンディングパッド構造は、基板、例えばシリコン基板(1)、第1の層間絶縁層(2)、第1のA1配線層(3) (第9図のみに存在)、第2の層間絶縁層(4)、ビアホール(5)、第2のA1配線層(6)およびパッシベーション膜(7)を有して成る。ボンディングパッドの構造としては、大きく分類すればこれら2種類、即ち、図9に示すような第1A1配線層(3)と第2A1配線層(6)を重ねた構造と、図10に示すような第2のA1配線層(6)、即ち、最上層としてのA1配線層のみを有する構造に大きく分けることができる。

【0004】この2種類の構造を比較すると、図10の構造を用いる場合には第1のA1配線層と第2のA1配線層を接続するビアホールをボンディングパッド構造以外の部分(図示せず)に設ける必要があり、このことは、チップ面積の増大をもたらし、高集積化にとって不利な方向となる。逆に、図9の構造をとった場合には、第1のA1配線層(3)と第2のA1配線層(6)を接続する比較的大きなビアホール(5)をボンディングパッド構造内に形成することができるため、半導体装置の高集積化にとって有利である。従って、特に配線の面積によりチップの寸法が制限されるような半導体デバイスでは、図9のような構造が採用されることが多い。

【0005】以下、図9の構造について詳細に説明する。尚、本明細書および図面を通じて、同様の機能を有する要素については、原則として、異なる説明箇所および図面においても同じ引用番号を用いている。近年の配線パターンピッチを小さくする傾向は目覚ましく、それに伴って、配線層を接続する(ボンディングパッド以外に存在する)ビアホールの構造としては、タングステンプラグを充填した構造が一般的に用いられている。図11は、ボンディングパッド以外の部分のビアホールにタングステンプラグを充填する半導体装置を製造した場合に形成される一般的なボンディングパッド構造を模式的に断面図にて示している。

【0006】図11において、エッチングにより除去されずに残留したままのなかったタングステンプラグ

(8)の一部分を示している。図示した状態において、第1のA1配線層(3)および第2のA1配線層(6)の寸法(図11の長さw)は、一般的に約100μmで

あり、従って、ビアホールの開口部の寸法(幅)もその程度である。次に、図11のボンディングパッド構造の製造方法を、図12～図15を参照して説明する。

【0007】最初に、図12に示すように、シリコン基板(1)上にCVD法により第1の層間絶縁層(2)を形成する。この第1の層間絶縁層(2)上に、スパッタリング法等によってA1膜を形成し、このA1膜をパターンニングすることにより、第1のA1配線層(3)を形成する。この第1のA1配線層(3)上全面に、プラズマCVD法や回転塗布法(SOG)およびドライエッチングによるエッチバック法等を組合せて第2の層間絶縁層(4)を形成する。続いて、第2の層間絶縁層(4)上にレジストを塗布し、フォトリソグラフィによるパターンニングを行い、ビアホールパターンを形成し、レジストをマスクとしてRIE(reactive ion etching)を用いて第2の層間絶縁層(4)をエッチングして開口部を形成し、その後、レジストを酸素プラズマ等で除去すれば、ビアホール(5)が形成される(図11の状態)。

【0008】次に、図13に示すように、タングステン膜を第1の層間絶縁層(2)に密着させる層としての窒化チタン膜(9)(以下、「TiN膜」とも称する。)を、スパッタ法等によりビアホール(5)を規定する第2の層間絶縁層(4)および露出した第1のA1配線層上全面に形成する。続いて、CVD法によりタングステン膜(8)を5000-1000Å程度TiN膜(9)上全面に形成して図13の状態とする。その後、ドライエッチングによるエッチバック法を用いてタングステン膜(8)をエッチバックする。このとき、ビアホール以外の部分にタングステン膜(8)が残らないようにエッチバックする必要がある。この場合、TiN膜(9)を残す方法(「Stop on TiN法」と称する。)と残さずに続けてエッチバックしてしまう方法(「Stop on Oxide法」と称する。)がある。

【0009】図14は「Stop on TiN法」の場合について示している。「Stop on TiN法」でタングステン膜をエッチバックすると、ボンディングパッド部にあるビアホール(5)のように広い開口部が存在する場合、その開口部の両サイド(または周辺部)にサイドウォール状にタングステン膜(8)が残ってしまい、開口中央部はタングステン膜が存在しない状態となる。

【0010】その後、図15に示す様に、スパッタ法によりA1膜をTiN膜(9)上およびタングステン膜(8)上の全面に形成し、フォトリソグラフィおよびRIEにより第2のA1配線層(6)のパターンを形成する。そして、第2のA1配線層(6)および第2の層間絶縁膜(4)上全面に、プラズマCVD法によってパッシベーション膜(7)となるシリコン窒化膜(窒化ケイ素膜)を形成し、ボンディングパッド部(20)上のみフォトリソグラフィおよびドライエッチングで開口する(図15の状態)。



【0011】上述のように、「Stop on TiN 法」によりタングステン膜のエッチバックを行った場合は、広いサイドまたは周辺領域にわたってサイドウォール状にタングステン膜(8)が存在するが、このタングステン膜(8)は剥がれ易く、これが発塵をもたらす、配線を短絡させるなどの半導体装置の不良の原因となり、歩留まりの低下をまねくため好ましくない。

【0012】また、「Stop on Oxide 法」の場合には、図16に示すように、タングステン膜(8)に続いてTiN膜(9)をエッチバックすることになるが、このTiN膜をエッチングする際には、塩素( $\text{Cl}_2$ )系ガスを用いることが多く、これは配線層(3)であるアルミニウムをもエッチングしてしまう。従って、多層配線構造のボンディングパッド構造を形成するために、「Stop on Oxide 法」を用いると、広いビアホール(5)の開口部中央(11)では、下地の第1層Al配線(3)がエッチングされてしまい、黒変してパターン認識が不可能になり、また、配線信頼性にも悪影響を及ぼすことになる。

【0013】このような問題点を解決するボンディングパッド構造として図17および図18に示す構造のボンディングパッドが開発されている(具体的には、例えば特開平5-343466号公報、米国特許第5,149,674号参照)。図17は、ボンディングパッド部分(20)のレイアウト図の模式的上面図であり、図18は、図17の線E-E'に沿った模式的断面図である。

【0014】図17および図18の態様では、第12図のような大きなビアホール(5)を用いる代わりに、大きな1つのビアホールを小さな複数のビアホール(5')に分割している。このときのそれぞれの小さなビアホール(5')の寸法(図17に示した態様では正方形の一辺 $v$ )は、先に説明した絶縁層上のタングステン膜のエッチバックによる除去によってもタングステン膜がビアホール(5')の開口部において無くならない(即ち、タングステン膜の下に存在する配線層が露出しない)程度の大きさであり、一般的にはタングステン膜のデポジション膜厚(付着する膜の厚さ)の2倍以下の寸法である。この様な構造をとることにより、ボンディングパッド部においても正常なタングステンプラグ構造、即ち、下地のAl膜あるいはTiN膜が露出することがない構造が形成され、上述のようなタングステン膜の剥がれ問題は生じない。

【0015】しかしながら、図17および図18の構造を用いることにより新たな問題が発生することとなった。これについて図19を参照して説明する。半導体デバイスは最終的にセラミックあるいはプラスチックパッケージにパッケージングされるが、このとき、ボンディングパッド部(20)とパッケージのリードフレームをワイヤー(10)にて接続することが必要である。この

ワイヤー(10)には、通常、アルミニウムまたは金を用いられるが、この接続(ワイヤーボンディング)を実施する際に、ボンディングパッド部(20)の第2の層間絶縁層(4)にクラック(12)が生じるという問題点が新たに起こる。

【0016】これは、ワイヤーボンディングの際に、第2のAl配線層(6)とワイヤー(10)を密着させるために加える超音波が原因であると考えられる。即ち、超音波の振動により材料的に柔いアルミニウム、従って、第1のAl配線層(3)および第2のAl配線層(6)は変形を起こして超音波による応力を緩和しようとするが、それに挟まれた第2の層間絶縁層(4)は比較的硬い材料であるため、変形を起こすことができず、ある程度以上の応力が加わると破断してしまい、クラック(12)が生じるのである。

【0017】ワイヤー(10)と第2のAl配線層(6)との密着性は半導体デバイスの信頼性に関するものであるため、超音波はある程度以上加えて十分な密着性を確保する必要があるが、図17および図18の構造を採用する場合にはクラックが発生することなく、密着性を保つことは非常に困難である。このようなクラックが発生すると、クラックを介して水分が浸入することになり、そのような水分が半導体デバイスの性能に影響を与えるという、デバイスの信頼性に関する大きな問題をもたらすことになる。

【0018】尚、図10のように、第2のAl配線層(最上Al配線層)のみでボンディングパッドを形成する構造の場合はクラックが生じない。それは、いかなる理論にも拘束されるものではないが、第2のAl配線層の下部に第1のAl配線層が存在しないため、層間絶縁層の下方では配線層の変形による力が加わらないためであり、また、比較的大きい第2のAl配線層が超音波の応力を緩和できるからであると考えられる。

【0019】

【発明が解決しようとする課題】本発明は、上述のような問題点を解決するためになされたもので、特に超音波を用いるワイヤーボンディングを適用する場合であっても、上述のようなクラックが発生することがない、信頼性の高い多層配線構造を有する半導体装置を提供することを課題とする。

【0020】

【課題を解決するための手段】第1の要旨において、本発明は、少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッドを有する半導体装置において、(1)第1の配線層は、スリット部分を有する配線パターンを有し、(2)層間絶縁層は、第1の配線層の上側に位置し、また、スリット部分を充填し、層間絶

縁層に含まれるビアホールは、第1の配線層上に配置され、(3)第2の配線層は、層間絶縁層の上側に形成されて、ビアホールを介して第1の配線層と電気的に接続され、半導体装置の外部との電気的な入出力を行うパッド電極として作用することを特徴とする半導体装置を提供する。

【0021】本発明の半導体装置において、配線層とは、通常、半導体装置の配線に用いられる薄い層状の配線を意味する。また、配線層がスリット部分を有するとは、面状の配線層に部分的に貫通開口部および/または切り欠き部分が存在することを意味し、その開口部（または切り欠き部分）の形状は特に限定されるものではない。このスリット部分は、層間絶縁層の絶縁性成分が充填されている。更に、ビアホールとは、層間絶縁層を貫通して形成されて第1の配線層と第2の配線層とを接続する貫通空間（または孔）であり、その空間には導電性成分が充填されて第1の配線層と第2の配線層とを電気的に接続する。ビアホールの形状は、「ホール (hole)」という呼称により特に限定されるものではなく、いずれの形状であってもよい。

【0022】本発明の半導体装置において、要すれば、第1の配線層の下方に1またはそれ以上の追加の配線層が絶縁層を介して存在してもよく、これらの配線層同士の接続および第1の配線層とその下の配線層との接続は通常のビアホールにより接続されていてよい。第1の要旨の半導体装置では、第1の配線層にスリット部分設けることにより、第1の配線層に使用される材料量が少なくなり、従って、第1の配線層の面積が小さくなる。実用上、ボンディングパッド部分において、第1の配線層の総面積は、第2の配線層の総面積の約90%以下、好ましくは50~90%程度であり、このようなスリット部分を可能な範囲で均等に第1の配線層に配置する。このようにすると、ワイヤーボンディングの際に加えられる応力による第1の配線層の変形量が小さくなり、また、変形量が第1の配線層においてより均等に分散され、層間絶縁層にてクラックが発生するのが抑制、好ましくは防止される。

【0023】第1の要旨において、本発明の特に好ましい態様では、ビアホールは複数存在し、それらの形状は、柱状のもの（例えば円筒状、角柱状のもの）または長尺物（または溝状物、即ち、立っている柱状物を寝かせた状態のもの）であってよく、特に好ましい態様では、ビアホールは規則的に間隔を隔てて離れて（従って、可能な範囲で均等に）配置された円筒状または多角柱状、特に（正）四角柱状のものである。このように複数のビアホールとすることにより、従来技術の半導体装置のボンディングパッド構造にて使用されているビアホールより小さい開口部のビアホールをより容易に形成することができ、その結果、エッチングによってもビアホールの充填物が除去されずに正常なビアホール構造を維

持できる。また、上述のような形状のビアホールとすることにより、第1の配線層上にビアホールを均等に配置することができ、更に、その形成も容易となり、層間絶縁層でクラックが発生することが一層抑制、好ましくは防止される半導体装置の製造が可能となる。

【0024】第1の要旨において、本発明の特に好ましい別の態様では、スリット部分は、複数の矩形、特に長尺の矩形貫通孔（または空間）であり、好ましくは、これらは規則的に間隔を隔てて配置されている。このようなスリット部分を第1の配線層が有することにより、第2配線層の下側にビアホールを均等に配置することができ、また、半導体装置の製造が容易になる。

【0025】第2の要旨において、本発明は、少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッドを有する半導体装置において、(1)第2の配線層は、層間絶縁層の上側に形成されて半導体装置の外部との電気的な入出力を行う、ボンディング領域を有するパッド電極として作用し、(2)層間絶縁層のビアホールは、ボンディング領域の外側の第2の配線層の下側に位置し、(3)第1の配線層は、ビアホールの下側に配線パターンを有するが、ボンディング領域の下方部分には配線パターンを有さないことを特徴とする半導体装置を提供する。

【0026】本発明において、ボンディング領域とは、ワイヤーによりボンディングパッドとリードフレームをワイヤーボンディングする際に、ワイヤーが第2の配線層と接触してそれに結合する第2の配線層の一領域を意味する。この領域は、通常、ボンディングパッド部の第2の配線層の中央部の円形領域である。従って、第2の要旨の半導体装置においては、ボンディング領域の下方には第1の配線層の配線パターンが存在せず、ボンディング領域の周囲の外側部分の第2の配線層の下方のみに第1の配線層が存在することになる。この状態は、図10を参照して先に説明した、クラックが生じない第2の配線層の下方には第1の配線層が存在しない構造と実質的に同じであり、従って、本発明の第2の要旨の半導体装置においても層間絶縁層におけるクラックの発生は抑制され、好ましくはクラックは生じない。

【0027】第2の要旨の好ましい態様では、ビアホールは、第1の要旨の場合と同様に、導電性成分が充填された複数の柱状物または長尺物である。このようなビアホールを用いることにより、ビアホールの正常な構造を確保でき、また、第1の配線層上にビアホールを均等に配置することができ、また、その形成も容易となり、層間絶縁層におけるクラックの発生が抑制される、好ましくは防止される半導体装置の製造が容易となる。

【0028】第2の要旨のもう1つの好ましい態様で

は、ビアホールをボンディング領域の周囲の外側の第2の配線層（従って、第2の配線層の縁部分）の下側に形成する。第2の配線層の周辺部、即ち、ボンディング領域の外側の領域は、ボンディング領域として機能しないので、このようにすることにより、ボンディング領域の下側に第1の配線層が形成されないように確保できる。第2の要旨の更にもう1つの好ましい態様では、第2の配線層が実質的に矩形であり、第2の配線層の内側かつボンディング領域の外側である第2の配線層の四隅にビアホール形成する。このようにビアホールを第2の配線層の四隅に形成することにより、第2の配線層の領域であって、ボンディングに実質的に関与しない領域を有効に利用しながらもボンディング領域の下方には第1の配線層が存在しないことを確保できる。尚、この態様を、先の第2の配線層の縁部分にビアホールを形成する態様と組み合わせ、四隅+縁部にビアホールを設けることも可能である。

【0029】更に、第3の要旨において、本発明は、少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッド構造であって、（1）第1の配線層は、スリット部分を有する配線パターンを有し、（2）層間絶縁層は、第1の配線層の上側に位置し、また、スリット部分を充填し、層間絶縁層に含まれるビアホールは、第1の配線層上に配置され、（3）第2の配線層は、層間絶縁層の上側に形成されて、ビアホールを介して第1の配線層と電気的に接続され、半導体装置の外部との電気的な入出力を行うパッド電極として作用することを特徴とするボンディングパッド構造を提供する。

【0030】第3の要旨の特に好ましい態様において、ビアホールは、層間絶縁層に形成された複数の貫通孔であり、それぞれの貫通孔の形状は、柱状または長尺物状である。第3の要旨の別の特に好ましい態様において、スリット部分は、複数の長尺の矩形貫通孔であり、層間絶縁層を形成する絶縁性成分が充填されている。

【0031】第4の要旨において、本発明は、少なくとも第1および第2の配線層、ならびにこれらの配線層の間に存在して、これらの配線層を電気的に接続するために導電性成分が充填された少なくとも1つのビアホールを有する層間絶縁層を有して成る多層配線構造のボンディングパッド構造であって、（1）第2の配線層は、層間絶縁層の上側に形成されて半導体装置の外部との電気的な入出力を行う、ボンディング領域を有するパッド電極として作用し、（2）層間絶縁層のビアホールは、ボンディング領域の外側の第2の配線層の下側に位置し、（3）第1の配線層は、ビアホールの下側に配線パターンを有するが、ボンディング領域の下方部分には配線パターンを有さないことを特徴とするボンディングパッド

構造を提供する。

【0032】第4の要旨の好ましい態様において、ビアホールは、層間絶縁層に形成された複数の貫通孔であり、それぞれの貫通孔の形状は、柱状または長尺物状である。第4の要旨のもう1つの好ましい態様において、ビアホールを第2の配線層の縁部分に形成する。第4の要旨の更にもう1つの好ましい態様において、第2の配線層は実質的に矩形であり、ビアホールを第2の配線層の四隅の部分に形成する。これらの第3の要旨および第4の要旨のボンディングパッド構造は、それぞれ、第1の要旨および第2の要旨の半導体装置に用いられる構造であり、これらの装置に関連して説明した上述のような特徴を有する。

【0033】

【作用】本発明の第1および第3の要旨において、アルミニウムのような用いられる配線材料の体積、従って、配線層の面積が第2の配線層より第1の配線層の方が実質的に小さくなる。その結果、応力が加わった場合の第1の配線層の変形量を小さくでき、層間絶縁層におけるクラックの発生が抑制、好ましくは防止される。また、本発明の第2および第4の要旨において、ボンディング領域の下方には第1の配線層が実質的に存在しなくなり、その結果、1層の配線層のみを有するボンディングパッド構造と同等の構造となり、この場合においても、層間絶縁層におけるクラックの発生が抑制、好ましくは防止される。

【0034】

【実施例】以下、添付図面を参照して、本発明の半導体装置、特にそのボンディングパッド構造の具体例を参照して本発明をより詳細に説明する。尚、図面において使用している実線および破線は、本発明の半導体装置の構造をより理解し易くするために使用するものであり、これらは、外側から直接見える要素と直接には見えない要素とを区別するためのものではない。

【0035】【実施例1】図1および図2に本発明の第1の具体例を示す。図1は、本発明の半導体装置の第1の具体例のボンディングパッド部（20）の模式的レイアウト図（上面図）であり、図2は図1のA-A'に沿った断面図を模式的に示している。図1および図2から明らかなように、第1のA1配線層（3）のパターンを長尺の矩形貫通孔であるスリット部分（13）を入れたストライプ状にし、この配線層上に複数の断面矩形のビアホールが規則的に配置されている点が実施例1の特徴である。それ以外の点に関しては、実施例1の態様は、図17に示した態様と実質的に同様である。

【0036】第1のA1配線層（3）、即ち、下層のA1配線パターンをストライプ状のパターンにすることにより、（スリット部分（13）には配線層が存在しないので）第1のA1配線層（3）として使用されるアルミニウムの量が少なくなり、従って、配線面積が小さくな

る。図1の態様では、第1の配線層の面積は、第2の配線層の面積の約70%である。その結果、図3に示すように最終的にボンディングパッドを形成してワイヤーボンディングを実施する際に、第1の配線層の応力によるA1膜の変形量が小さくなる。従って、図19に示す従来技術のボンディングパッド構造のように上下の双方のA1配線層の変形量が大きい場合と異なり、ワイヤーボンディングの時の超音波によるアルミニウムの変形に関しては、少なくとも下に存在するA1配線層の変形量を小さく抑えることができ、第2の層間絶縁層(4)にクラックが生じない。従って、実施例1のボンディングパッドの構造ではクラックを生じず、ワイヤー(10)と第2のA1配線層(6)との密着性が十分なボンディングパッド構造が実現される。

【0037】〔実施例2〕図4および図5に本発明の第2の具体例を示す。図4は、本発明の半導体装置の第2の具体例のボンディングパッド部(20)の模式的レイアウト図(上面図)であり、図5は図4の線B-B'に沿った断面図を模式的に示している。図4および図5から明らかなように、第1のA1配線層(3)のパターンをボンディングパッド部(20)の周辺部の下方にのみ設けて、所定の幅を有する矩形の縁状配線層とし、その内側のボンディング領域(即ち、ワイヤー(10)が第2の配線層(6)と接触することになる領域)を含むボンディングパッド中央部分(14)の下方には第1のA1配線層を設けずに中空とし(従って、第1の配線層は、(14)に相当する大きな貫通開口部を有する)、また、ビアホール(5)のパターンを第1のA1配線層(3)のパターン上、即ち、ボンディングパッド部の周辺部分のみに設けるようにしている点が実施例2の特徴である。それ以外の点に関しては、実施例2の態様は、図1に示した態様と実質的に同様である。

【0038】この第2の具体例においては、第1の配線層(3)およびビアホール(5)、即ち、矩形の縁状配線層(矩形の縁を構成する所定の幅を有する配線層)およびその上のビアホールは、ボンディング領域よりも外側に位置する。尚、矩形の縁状の第1のA1配線層(3)の幅a(図5参照)は数 $\mu\text{m}$ ~10 $\mu\text{m}$ であってよい。また、その上のビアホールパターンの溝の幅は、この配線層の幅と同等またはそれより小さくてよい。通常、この幅は、ボンディングパッド部以外に形成されている半導体装置の配線層を接続するビアホールの幅と同等であってよく、タングステンプラグを正常に形成できる大きさ、例えば0.3~1.5 $\mu\text{m}$ であってよい。また、図示した態様では、ビアホールは溝状(従って、長尺物状)であるが、ビアホールは柱状物(図1の態様のビアホール)が間隔を隔てて配置されているものであってもよい。

【0039】図4のような構造にする場合、図6に示す最終的なボンディングパッド部にワイヤーボンディング

する際に、第2の配線層(6)のボンディング領域の下にはA1配線層が存在しないため、第2の層間絶縁層(4)がA1配線層に挟まれた構造とならない。即ち、実質的に第2のA1配線層(6)のみでボンディングパッドを形成した第10図の場合と同様になり、クラックを生じない。また、ビアホール(5)を溝状(即ち、長尺の矩形開口部を有する)にしているので、ビアホール(5)を図9のように大きい開口部を有するホール状で形成する場合よりも、第1のA1配線層(3)と第2のA1配線層(6)を接続するビアホールの面積、従って、ビアホールの幅を小さく抑えることができ、ビアホールの正常な構造を容易に確保できる。

【0040】このように、本実施例においても、クラックを生じず、ワイヤー(10)と第2のA1配線層(6)との密着性が十分なボンディングパッド構造が得られる。尚、本実施例において、溝状のビアホール(5)の代わりに、複数の柱状のビアホールを規則的な間隔で配置してもよいのは当然である。

【0041】〔実施例3〕図7および図8に本発明の第3の具体例を示す。図7は、本発明の半導体装置の第3の具体例のボンディングパッド部の模式的レイアウト図(上面図)であり、図8は図7の線C-C'に沿った断面図を模式的に示している。図7および図8から明らかなように、第2の配線層が矩形であり、第1A1配線層(3)のパターンをボンディング領域の下方部分に存在しない中空とし、ビアホール(5)をその上で、ボンディングパッド部(20)の周辺四隅に集めた構造としている点が実施例3の特徴である。尚、第2の配線層の形状は、他の実施例においては、図示した態様では矩形であるが、必ずしも矩形である必要はない。それ以外の点に関しては、実施例3の態様は、図4に示した態様と実質的に同様である。尚、図示した態様では、柱状、特に四角柱状のビアホールであるが、ビアホールは図4のような複数の(柱を寝かせたような状態の)長尺物で構成することも可能である。

【0042】ワイヤーボンディング際に、ボンディングに有効に関与するボンディングパッド部(20)の領域は、ワイヤーボンディングの位置精度を考慮すると円Dの部分(図7参照)内の部分である。この部分に関しては、厳密には円Dがボンディング領域を含む(従って、円Dの内側にボンディング領域が存在する)と考えられるが、実質的には円Dの内側の領域はボンディング領域と同等であると考えても問題はない。従って、円Dの領域の外側にビアホール(5)のパターンをおくことにし、更に、そのビアホール(5)の下方のみに第1のA1配線層(3)を形成することにして、ボンディング領域の下方では、第1のA1配線層(3)が第2の層間絶縁層(4)の下側には存在しない構造となる。即ち、第2の層間絶縁層(4)がA1配線層に挟まれた構造とならず、従って、実施例3の場合と同様に、層間絶縁層

においてクラックが生じない。

【0043】また、実施例3では、ワイヤーボンディングに関しては実質的に関係の無い四隅の領域をビアホールを設ける領域としているので、ボンディングパッドの面積が有効に利用されていることになる。このように、本実施例においても、クラックを生じず、ワイヤー（10）と第2のA1配線層（6）の密着性が十分なボンディングパッド構造が得られる。尚、上述の本発明の説明および実施例1～3においては、アルミニウム配線層数が2層の場合を例にして説明したが、このような場合で

だけでなく、配線層が3層以上の多層半導体装置についても、本発明の構造を適用できることは勿論である。

【0044】また、本発明は、半導体装置のボンディングパッド構造自体に主たる特徴があり、従って、本発明の半導体装置の各要素、例えば基板、配線層、導電性成分および絶縁性成分を含む層間絶縁層などに使用する材料ならびにその形状、寸法等は、当該分野における周知事項に基づいて、また、半導体装置の所定の目的に応じて容易に選択できる。同様に、各要素の形成方法も当該分野の周知の技術により容易に実施できる。例えば、上述の本発明の説明および実施例1～3においては、アルミニウム配線層の多層配線を行う場合について説明したが、一部あるいは全ての配線層において、配線材料はタングステン（W）、チタン（Ti）、モリブデン（Mo）等の高融点金属であってもよい。また、タングステンシリサイド（ $WSi_2$ ）配線、チタンシリサイド（ $TiSi_2$ ）配線、モリブデンシリサイド（ $MOSi_2$ ）配線、多結晶シリコン配線あるいはこれらを組合せて積層化した多層配線であっても同様の作用効果を奏するのは勿論である。

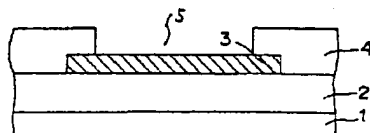
【0045】

【発明の効果】本発明によれば、第1の配線層のパターンおよびその上に位置するビアホールのパターンのレイアウトを工夫することにより、第1の配線層の材料の量を少なくすることができ、あるいは、ボンディング領域の下方に第1の配線層が存在しないようにすることができ、その結果、層間絶縁層にクラックが生じず、ワイヤーと第2の配線層の密着性が十分なボンディングパッド構造が得られるため、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 実施例1の半導体装置のボンディングパッド

【図12】



部の模式的レイアウト図（上面図）である。

【図2】 図1の線A-A'に沿った模式的断面図である。

【図3】 図1の実施例におけるワイヤーボンディングの様子を示す図2と同様の模式的断面図である。

【図4】 実施例2の半導体装置のボンディングパッド部の模式的レイアウト図（上面図）である。

【図5】 図4の線B-B'に沿った模式的断面図である。

【図6】 図4の実施例におけるワイヤーボンディングの様子を示す図5と同様の模式的断面図である。

【図7】 実施例3の半導体装置のボンディングパッド部の模式的レイアウト図（上面図）である。

【図8】 図7の線C-C'に沿った模式的断面図である。

【図9】 従来の半導体装置のボンディングパッド構造を示す模式的断面図である。

【図10】 従来の半導体装置のボンディングパッド構造を示す模式的断面図である。

20 【図11】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

【図12】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

【図13】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

【図14】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

【図15】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

30 【図16】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

【図17】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

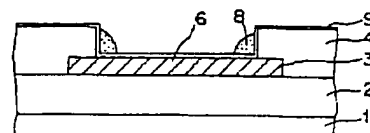
【図18】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

【図19】 従来の半導体装置のボンディングパッド構造の問題点を説明するための模式的断面図である。

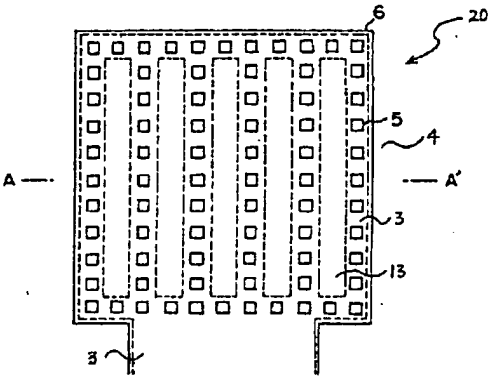
【符号の説明】

3 第1の配線層、4 第2の層間絶縁層、5 ビアホール、6 第2の配線層、13 スリット部分、20 ボンディングパッド。

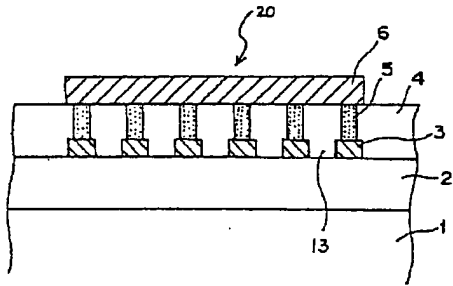
【図14】



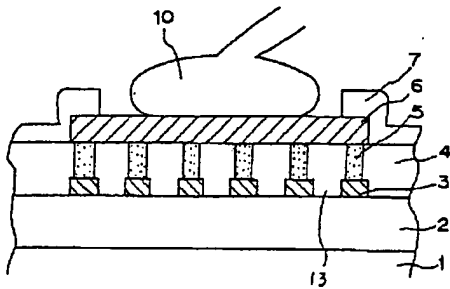
【図1】



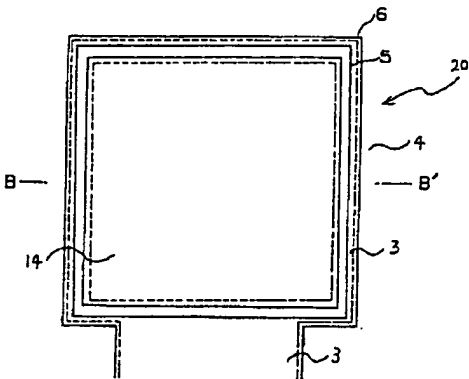
【図2】



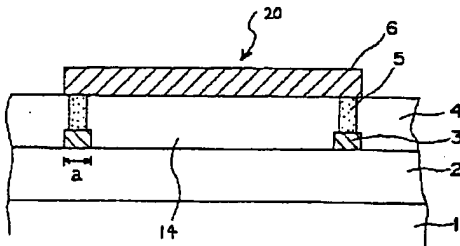
【図3】



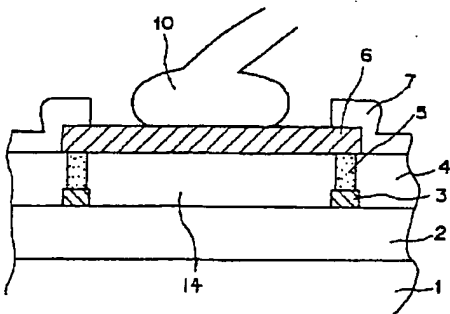
【図4】



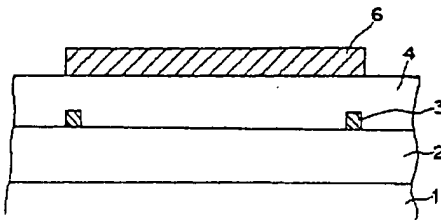
【図5】



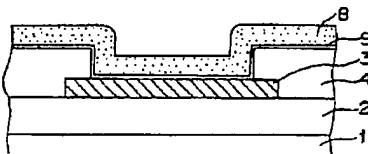
【図6】



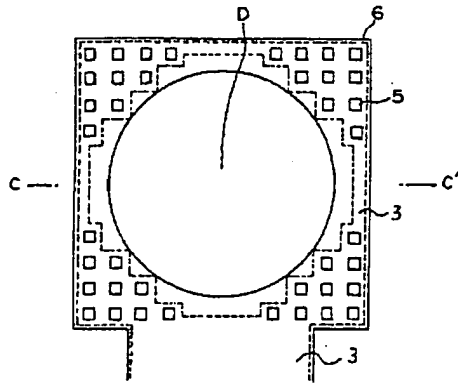
【図8】



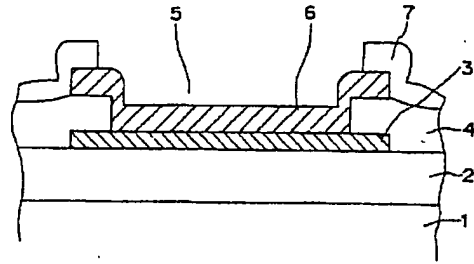
【図13】



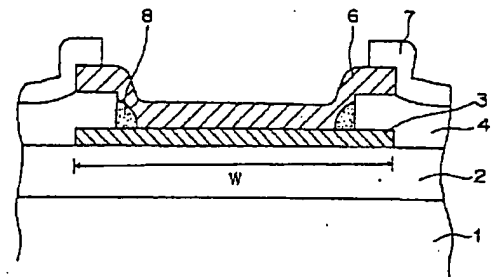
【図7】



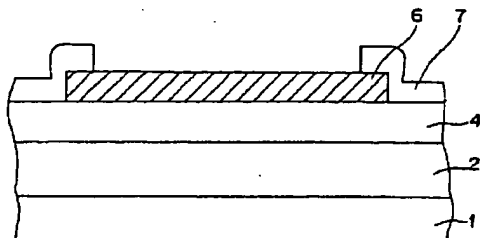
【図9】



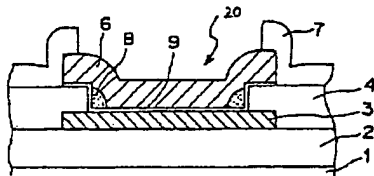
【図11】



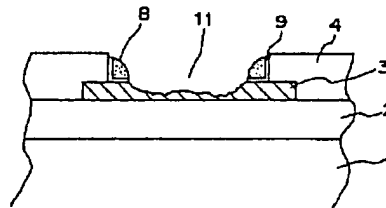
【図10】



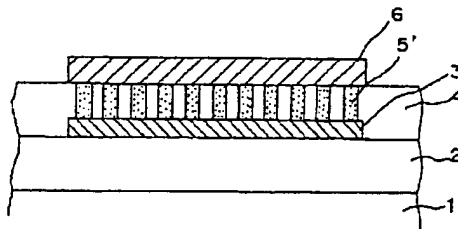
【図15】



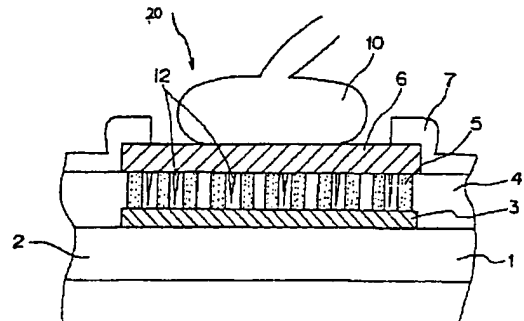
【図16】



【図18】



【図19】



【図17】

